

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-046493

(43)Date of publication of application : 28.02.1987

(51)Int.Cl.

G11C 17/00

(21)Application number : 60-184115

(71)Applicant : HITACHI LTD

(22)Date of filing : 23.08.1985

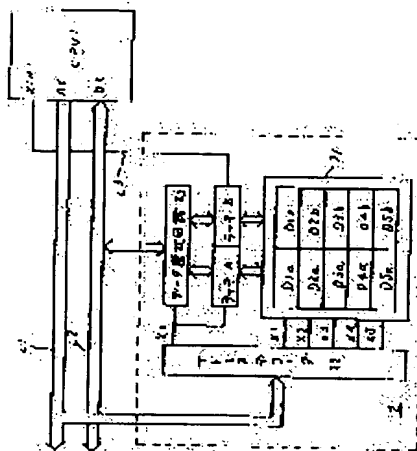
(72)Inventor : HABUKA TOSHITO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To shorten a time required for rewriting to a ROM while keeping a complete float by simultaneously carrying out a saving operation of the non- writing data and writing operation of the data in parallel.

CONSTITUTION: During rewriting a ROM 2, a selecting signal X0 applied to a data selecting circuit 23 is also applied to latches A, B. Thereby, respective modes of reading and writing of the latches A, B are individually controlled, and during rewriting the memory data, the non-rewriting data D1b erased once is read and is latch B performs a holding and saving operation and the latch A in which the writing data is held performs a data writing externally, simultaneously and in parallel.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑫ 公開特許公報(A)

昭62-46493

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑯ 公開 昭和62年(1987)2月28日

G 11 C 17/00

1 0 1

6549-5B

審査請求 未請求 発明の数 1 (全9頁)

⑰ 発明の名称 半導体集積回路装置

⑱ 特 願 昭60-184115

⑲ 出 願 昭60(1985)8月23日

⑳ 発 明 者 羽 深 敏 人 高崎市西横手町111番地 株式会社日立製作所高崎工場内
㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

発明の名称 半導体集積回路装置

特許請求の範囲

1. データ書換部分の記憶データ退避のために複数のラッチ回路を有する電氣的に消去および書込可能な不揮発性メモリと、上記ラッチ回路を介して記憶データの書き換えあるいは読出を行うデジタル回路とが一緒に形成された半導体集積回路装置であって、上記記憶データの書き換えに際し、その書き換えに伴って一旦消去される非書換データを読出してラッチ回路に退避させる動作と、書込データが保持されるラッチ回路に外部からのデータ書込を行う動作とを、互いに並行して同時に行わせるようにしたことを特徴とする半導体集積回路装置。

2. 上記不揮発性メモリの書き換えに際して、上記複数のラッチ回路は、アドレスによって選択されたラッチ回路だけが外部からのデータを書き込まれ、他の非選択のラッチ回路はメモリ内の非書換部分の記憶データが書き込まれるように構成さ

れていることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

発明の詳細な説明

(技術分野)

この発明は、半導体集積回路装置技術さらにはEEPROM(電氣的に消去および書込可能なメモリ:EA-ROMとも呼ばれる。)と、このEEPROMを使用するデジタル回路とが一緒に形成された半導体集積回路装置に適用して特に有効な技術に関するもので、例えばEEPROMが搭載されたシングルチップ型マイクロ・コンピュータに利用して有効な技術に関するものである。

(背景技術)

例えば、メモリとデジタル回路とが一緒に形成された半導体集積回路装置としては、いわゆるシングルチップ型マイクロ・コンピュータが典型的である。

このシングルチップ型マイクロ・コンピュータは、例えば機器の組込み用として多く使用され、

従来は書き換えのできないROMを内蔵したものが多かったが、最近では、例えば日経マイクロ社刊行「日経エレクトロニクス」1981年3月30日号80頁(技術速報)に記載されているもののように、実時間で書き換え可能な不揮発性メモリをROMとして内蔵したものが提供されるようになってきた。このような書き換え可能な不揮発性メモリを内蔵することにより、マイクロ・コンピュータのシステム・プログラムや固定的な記憶データを、例えば被制御機器の種類に応じて、ユーザ側にて自由に書き込むことができる。これにより、同一種類のマイクロ・コンピュータを多種多様な用途に適合させることができるようになって、半導体集積回路装置の量産効果を活しつつ、多種少量の機器への適用が可能になる。

第4図はEEP-ROMを備えたマイクロ・コンピュータの一例を示す。

同図に示すマイクロ・コンピュータはシングルチップ型マイクロ・コンピュータとして構成されるものであって、デジタル回路としてのCPU(中

央処理ユニット)1と、電氣的に消去および書き換え可能なメモリとしてのEEP-ROM2を有する。CPU1とEEP-ROM2は、アドレスバスL1、データバスL2、および制御バスL3を介して接続されている。

CPU1は、アドレスAxおよび読出/書き制御信号R/Wなどを発生してEEP-ROM2をアクセスし、データバスL2を介してデータDxの授受を行う。

EEP-ROM2は、記憶セルアレイ21、アドレスデコーダ22、ラッチ回路A、B、およびデータ選択回路23などを有する。

記憶セルアレイ21には、例えば2バイト(2×8ビット)を1ワードとする記憶行が5行配列され、全体として10バイト(2バイト×5ワード=10バイト)の記憶容量をもっている。D1a、D1b~D5a、D5bはそれぞれ1バイトずつの記憶データを示す。各記憶データD1a、D1b~D5a、D5bは、2バイト(1ワード)を単位として消去、書き込みされるようになっている。

ラッチ回路A、Bは、それぞれが1バイトずつのデータを保持し、全体としては1ワードのデータを保持する。このラッチ回路A、Bには、アドレスAxの上位桁によって指定された部分の記憶データが1ワード単位で一時的に保持・退避せられる。

アドレスデコーダ22は、アドレスAxの上位桁に基づいて、上記記憶セルアレイ21の中の任意の1ワードデータを選択するワード選択信号X1~X5を出力する。これとともに、そのアドレスAxの下位桁に基づいて、上記ラッチ回路A、Bのいずれか一方を選択するラッチ選択信号X0を出力する。

データ選択回路23は一種の切換回路であって、上記ラッチ選択信号X0によって制御される。

第5図は、上述したマイクロ・コンピュータにおいて、EEP-ROM2の記憶データの一部を書き換えるときの動作例を示す。

また、第6図(a)(b)(c)は、EEP-ROM2の記憶データの一部を書き換える場合において、その

EEP-ROM2内の状態の変化を段階的に分けて示す。

第5図および第6図において、例えばEEP-ROM2内の1バイトの記憶データDa1を書き換える場合には、まず、第1段階として、CPU1からアドレスAxをEEP-ROM2に与える。これにより、第6図(a)に示すように、EEP-ROM2内の記憶セルアレイ21から目的の記憶データDa1を含む1ワードデータ(Da1、Dab)が読出されて、ラッチ回路A、Bに保持・退避される。

次に、第2段階として、この時点で読出/書き制御信号R/Wを書き指定モードに設定する。これにより、第6図(b)に示すように、上記ラッチ回路A、Bのうち、データ選択回路23で選択された方のラッチ回路Aの保持データDa1が、任意の書きデータDxに書き換えられる。

この後、第3段階として、第6図(c)に示すように、ラッチ回路A、Bの各保持データDx、D1bが記憶セルアレイ21内の元の記憶位置に書き込

まれる。

以上のようにして、EEPROM 2 内の任意の 1 バイトデータを指定して書き換えることができるようになっている。

しかしながら、上述したマイクロ・コンピュータでは、上記 EEPROM 2 の記憶データの書き換えに際して、次のような問題点のあることが本発明者によって明らかとされた。

すなわち、前述したマイクロ・コンピュータでは、EEPROM 2 内の記憶データを書き換えるのに際して、(1)記憶データを読出してラッチ回路 A、B に保持・送達させる、(2)ラッチ回路 A、B に保持されたデータを部分的に書き換える、(3)ラッチ回路の保持データを元の記憶位置に書き込む、以上の 3 つの動作(1)(2)(3)を時分割で段階的に行うようになっている。従って、上記 EEPROM 2 内の記憶データの書き換えが一通り完了するには、第 5 図に示すように、動作(1)(2)の実行にそれぞれに要する時間 t_1 、 t_2 を合計した時間 ($t_1 + t_2$) が必要であった。そして、この合

計時間 ($t_1 + t_2$) が EEPROM 2 の見掛け上のアクセス時間 t_{ac} となっていた。このように、EEPROM 2 の記憶データを書き換える場合には、その記憶データの読出だけを行う場合に比べて、かなり長い時間を要する。また、ラッチ回路 A、B に記憶データを一旦読出した後にて書き込の動作を行っていたため、上記書き換え所要時間 t_{ac} を短縮しようとする、書き込の動作に割り当てることができる時間が少なくなって、書き込余裕時間 (書き込マージン) を十分に確保することが難しくなる、という問題が生じるようになる。

(発明の目的)

この発明の目的は、EEPROM を内蔵した半導体集積回路装置にあって、その EEPROM への書き換え所要時間を、十分な書き込余裕時間を確保しつつ短縮化することを可能にする技術を提供することにある。

この発明の前記ならびにその他の目的と新規な特徴については、本明細書の記述および添付図

面から明らかになるであろう。

(発明の概要)

本題において開示される発明のうち代表的なものを簡単に説明すれば、下記のとおりである。

すなわち、EEPROM 内の記憶データの書き換えに際し、(1)記憶データを読出してラッチ回路 A、B に保持・送達させる、(2)ラッチ回路 A、B に保持されたデータを部分的に書き換える、(3)ラッチ回路の保持データを元の記憶位置に書き込む、以上の 3 つの動作(1)(2)(3)のうち、(1)と(2)の動作を並行して同時に行わせる構成によって、その EEPROM へのアクセス時間を、十分な書き込余裕時間を確保しつつ短縮化することを可能にする、という目的を達成するものである。

(実施例)

以下、この発明の代表的な実施例を図面を参照しながら説明する。

なお、図面において同一符号は同一あるいは相当部分を示す。

第 1 図は、この発明が適用されたマイクロ・コ

ンピュータの一実施例を示す。

同図に示すマイクロ・コンピュータは基本的に前述したものと同様である。すなわち、同図に示すマイクロ・コンピュータはシングルチップ型マイクロ・コンピュータとして構成され、デジタル回路としての CPU (中央処理ユニット) 1 と、電氣的に消去および書き込可能なメモリとしての EEPROM 2 を有する。CPU 1 と EEPROM 2 は、アドレスバス L1、データバス L2、および制御バス L3 を介して接続されている。

CPU 1 は、アドレス Ax および読出/書き込制御信号 R/Wなどを発生して EEPROM 2 をアクセスし、データバス L2 を介してデータ Dx の授受を行う。

EEPROM 2 は、記憶セルアレイ 21、アドレスデコーダ 22、ラッチ回路 A、B、およびデータ選択回路 23などを有する。

記憶セルアレイ 21 には、例えば 2 バイト (2 × 8 ビット) を 1 ワードとする記憶行が 5 行配列され、全体として 10 バイト (2 バイト × 5 ワー

D=10バイト)の記憶容量をもっている。D1a, D1b~D5a, D5bはそれぞれ1バイトずつの記憶データを示す。各記憶データD1a, D1b~D5a, D5bは、2バイト(1ワード)を単位として消去書き込みされるようになっている。

ラッチ回路A, Bは、それぞれが1バイトずつのデータを保持し、全体としては1ワードのデータを保持する。このラッチ回路A, Bには、アドレスAxの上位桁によって指定された部分の記憶データが1ワード単位で一時的に保持・選避せられる。

アドレスデコード22は、アドレスAxの上位桁に基づいて、上記記憶セルアレイ21の中の任意の1ワードデータを選択するワード選択信号X1~X5を出力する。これとともに、そのアドレスAxの下位桁に基づいて、上記ラッチ回路A, Bのいずれか一方を選択するラッチ選択信号X0を出力する。

データ選択回路23は一種の切換回路であって、上記ラッチ選択信号X0によって制御される。

また、第3図(a)(b)は、EEPROM2の記憶データの一部を書き換える場合において、そのEEPROM2内の状態の変化を2段階に分けて示す。

第2図および第3図において、例えばEEPROM2内の1バイトの記憶データD_a1を書き換える場合には、先ず、第1段階として、CPU1からアドレスAxおよび書き込データDxをEEPROM2に与える。これと同時に、読出/書き込制御信号R/Wを書き込指定モードに設定する。すると、第3図(a)に示すように、書き換えに伴って一旦消去される非書換データD1bが読出されてラッチ回路Bに保持・選避させられる動作とともに、ラッチ回路Aに外部からの書き込データDxが書き込まれる動作が、同時に行われる。つまり、ここでは、前述した第1, 第2の2つの段階の動作(1)(2)が並行して同時に行われる。

従って、この第1段階の後には、ただちに前述した第3段階の動作(3)に相当する動作に入ることができる。すなわち、ここでは、第2の段階にて、

上述した構成に加えて、この実施例では、上記EEPROM2の書き換えに際して、上記2つのラッチ回路A, Bは、アドレスAxの下位桁によって選択されたラッチ回路だけが外部からのデータを書き込まれ、他の非選択のラッチ回路はメモリセル21内の非書換部分の記憶データが書き込まれるように構成されている。このため、書き換え時には、データ選択回路23に与えられる選択信号X0がラッチ回路A, Bにも与えられるようになっている。これによって、ラッチ回路A, Bの読出/書き込のモードが個別に制御され、記憶データの書き換えに際しては、その書き換えに伴って一旦消去される非書換データD1bを読出してラッチ回路Bに保持・選避させる動作と、書き込データが保持されるラッチ回路に外部からデータの書き込を行う動作とを、互いに並行して同時に行わせられるようになっている。

第2図は、上述したマイクロ・コンピュータにおいて、EEPROM2の記憶データの一部を書き換えるときの動作例を示す。

第3図(b)に示すように、ラッチ回路A, Bの各保持データDx, D1bが記憶セルアレイ21内の元の記憶位置に書き込まれる。

以上のようにして、書き換え動作の最初から書き込動作を行うことにより、EEPROM2内の任意の1バイトデータが短いアクセス時間(t_{ac}=t₂)で完了する。これにより、EEPROM2への書き換え所要時間(t_{ac})を、十分な書き込余裕時間を確保しつつ短縮化することができるようになる。

(効果)

(1)EEPROM内の記憶データの書き換えに際し、(1)記憶データを読出してラッチ回路A, Bに保持・選避させる、(2)ラッチ回路A, Bに保持されたデータを部分的に書き換える、(3)ラッチ回路の保持データを元の記憶位置に書き込む、以上の3つの動作(1)(2)(3)のうち、(1)と(2)の動作を並行して同時に行わせる構成によって、そのEEPROMへのアクセス時間を、十分な書き込余裕時間を確保しつつ短縮化することができるようになる。

という効果が得られる。

以上本発明者によってなされた発明を実施例に添つき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記EEPROM2の記憶データ構成は、2バイト1ワード以外の組合せであってもよい。

(利用分野)

以上、本発明者によってなされた発明をその背景となった利用分野であるシングルチップ型マイクロ・コンピュータに適用した場合について説明したが、それに限定されるものではなく、例えば演算プロセッサや通信インターフェースなどの周辺機能用の半導体集積回路装置などにも適用できる。

図面の簡単な説明

第1図はこの発明が適用されたEEPROM内蔵のシングルチップ型マイクロ・コンピュータを示すブロック図、

チップ回路、L1…アドレスバス、L2…データバス、L3…制限バス、Dx…書込データ、Ax…アドレス。

代理人 弁理士 小川 勝 男



第2図はこの発明が適用されたシングルチップ型マイクロ・コンピュータにおけるEEPROMの書き換え動作の一例を示すタイミングチャート、

第3図(a)(b)はこの発明が適用されたシングルチップ型マイクロ・コンピュータがEEPROMの書き換え動作を行うときの状態を段階別に表示した図、

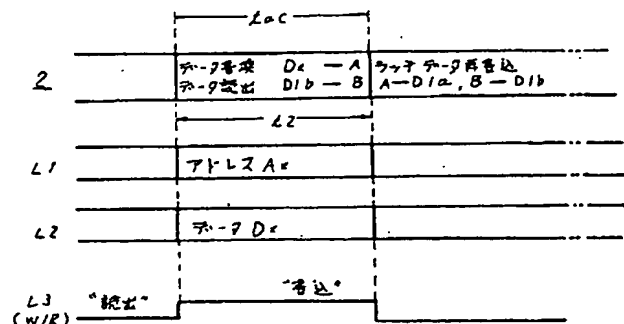
第4図は従来のEEPROM内蔵シングルチップ型マイクロコンピュータの構成例を示すブロック図、

第5図は従来のシングルチップ型マイクロ・コンピュータにおけるEEPROMの書き換え動作の一例を示すタイミングチャート、

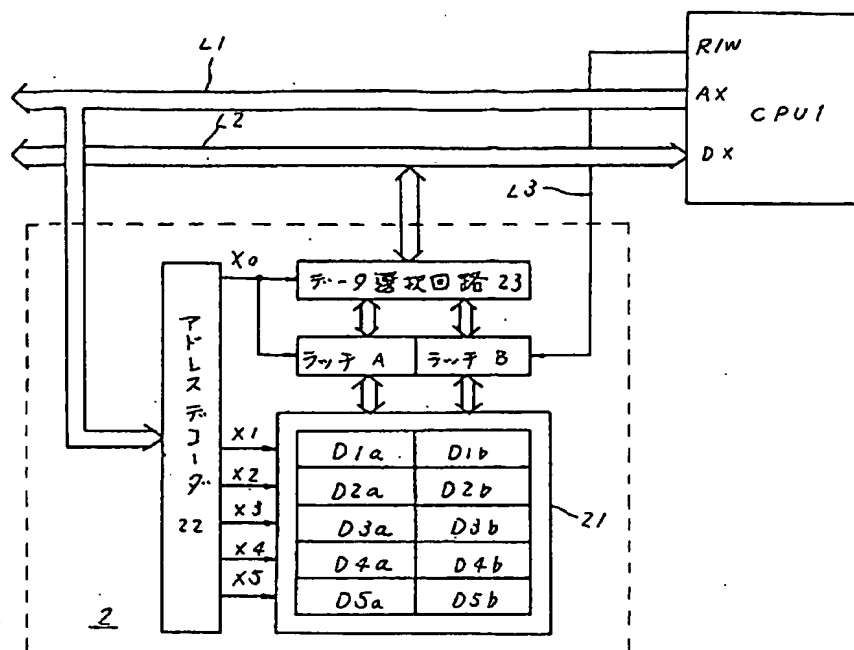
第6図(a)(b)(c)は従来のシングルチップ型マイクロ・コンピュータがEEPROMの書き換え動作を行うときの状態を段階別に表示した図である。

1…CPU(中央処理ユニット)、2…EEPROM、21…記憶セルアレイ、22…アドレスデコーダ、23…データ選択回路、A、B…ラ

第 2 図

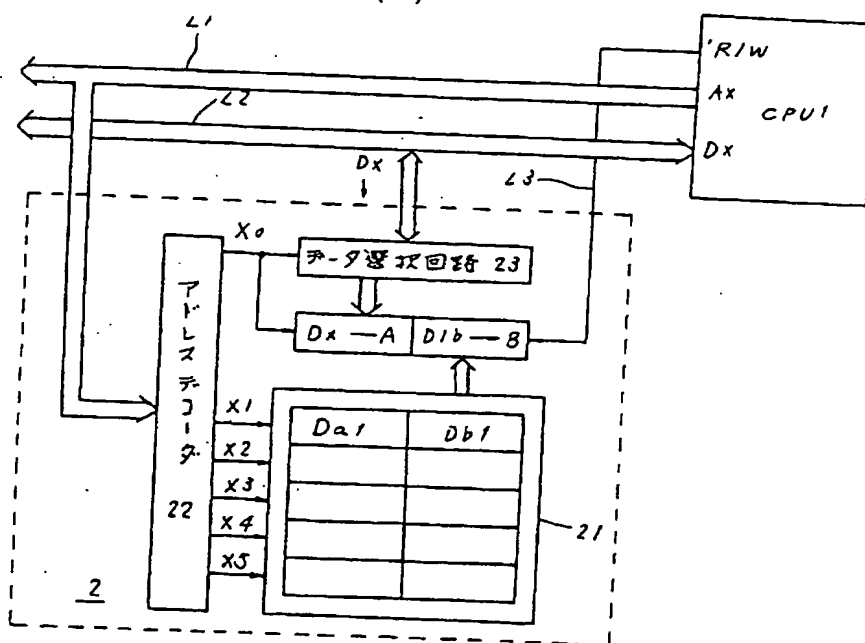


第 1 図



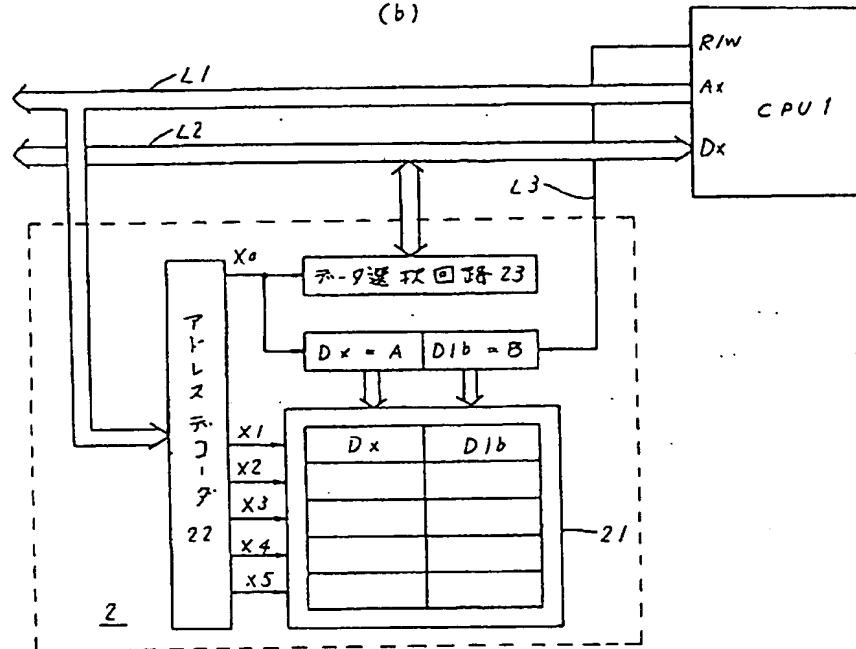
第 3 図

(a)

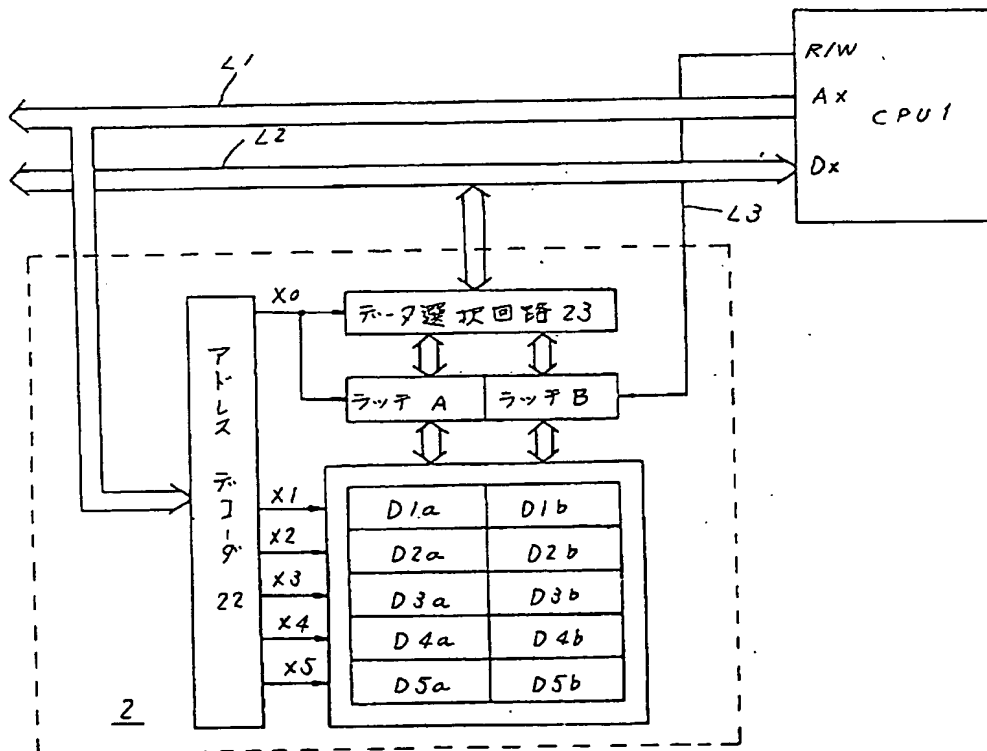


第 3 図

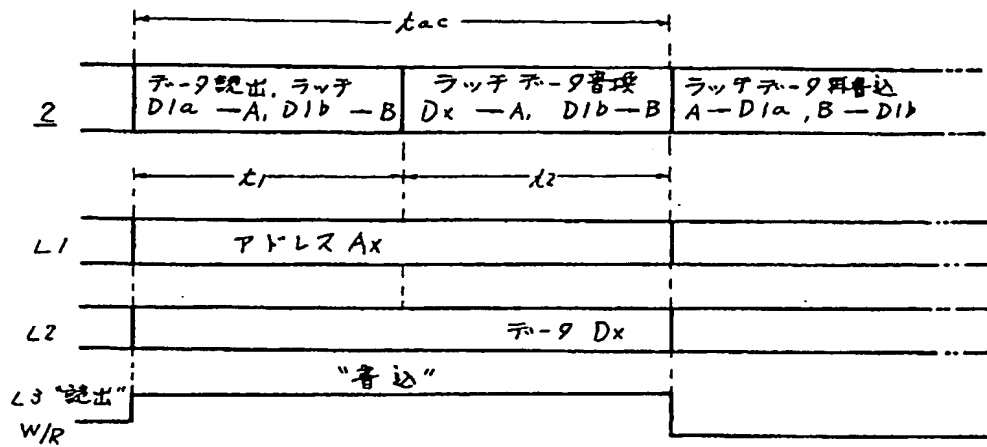
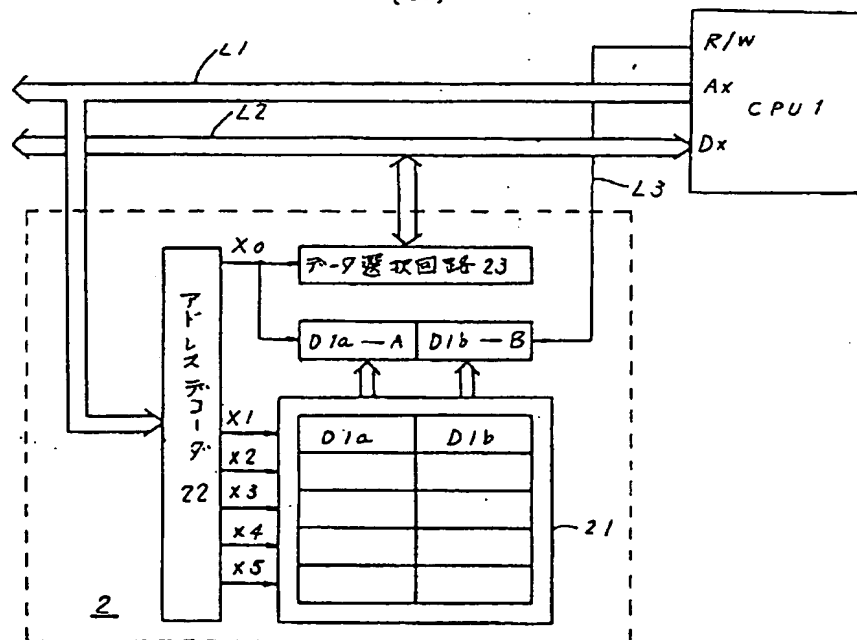
(b)



第 4 図

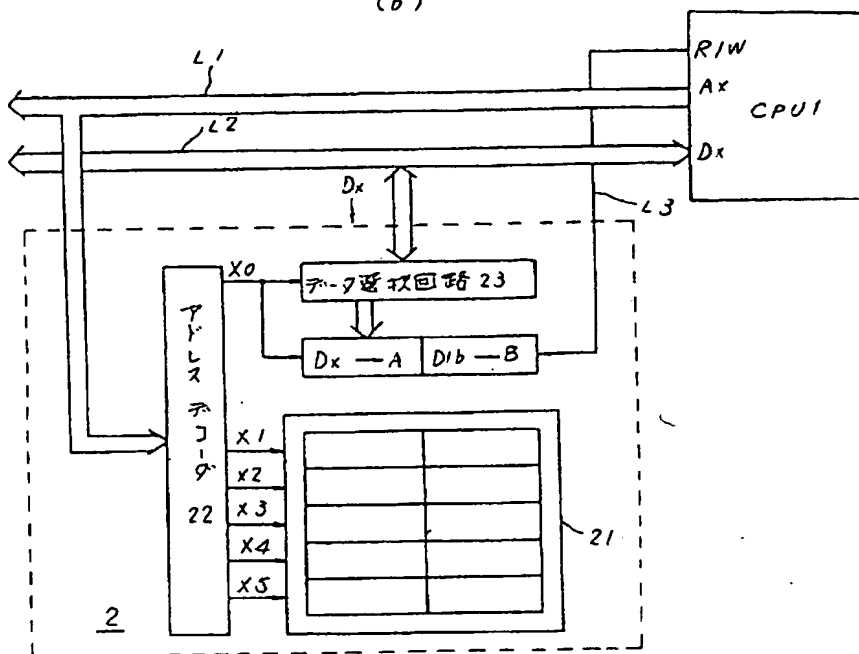


第 5 図


第 6 図
(a)


第 6 図

(b)



第 6 図

(c)

